

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05082717 A

(43) Date of publication of application: 02.04.93

(51) Int Cl

H01L 25/04

H01L 25/18

H05K 1/18

(21) Application number 03242949

(71) Applicant TOSHIBA CORP

(22) Date of filing: 24.09.91

(72) Inventor: NAKAMURA AKIHISA

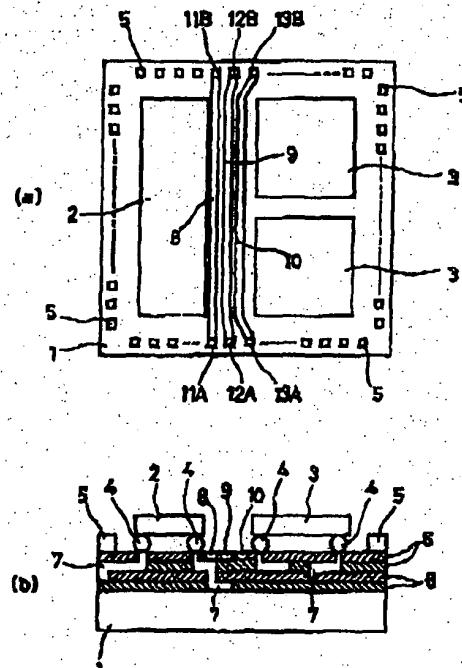
(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57) Abstract

PURPOSE: To provide a semiconductor integrated circuit device which is capable of including a digital LSI chip and an analog chip on a single ceramic chip.

CONSTITUTION: A digital LSI chip 2 and analog LSI chips 3 are mounted on a single ceramic chip board 1. A large number of pads 5 which connects a signal, a power source and a ground, are formed on the four sides of the ceramic board 1. A digital ground metal wiring layer 8, a digital power supply wiring layer 9 and an analog ground metal wiring layer 10 are formed on the ceramic board 1 between the digital LSI chip 2 and the analog LSI chips 3. Each of these metal wiring layers is provided with exclusively designed pads 11A, 11B, 12A, 12B, 13A and 13B, which form a mutual interruption removal filter which eliminates the electric interruption between the digital LSI chip and the analog LSI chips 3.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-82717

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.

H 01 L 25/04

25/18

H 05 K 1/18

識別記号

厅内整理番号

F I

技術表示箇所

S 9154-4E

7220-4M

H 01 L 25/04

Z

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号

特願平3-242949

(22)出願日

平成3年(1991)9月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中村 明久

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内

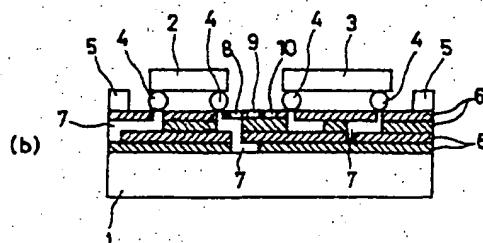
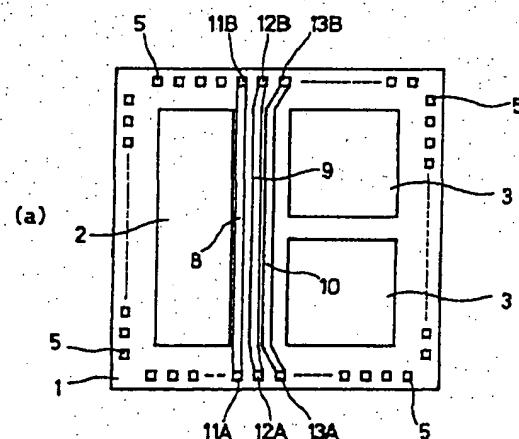
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】デジタルLSIチップおよびアナログLSIチップを単一のセラミック基板上に混在させることができる半導体集積回路装置を提供する。

【構成】単一のセラミック基板1上にデジタルLSIチップ2およびアナログLSIチップ3、3が搭載されているとともに、セラミック基板1上の4辺には信号および電源、グランドを接続する多数のパッド5、…が形成されている。そして、デジタルLSIチップ2とアナログLSIチップ3、3との間のセラミック基板1にデジタルグランド金属配線層8、デジタル電源金属配線層9、アナロググランド金属配線層10が形成されている。これら各金属配線層8、9、10は、専用のパッド11A、11B、12A、12B、13A、13Bを保有していて、セラミック基板1とによりデジタルLSIチップ2とアナログLSIチップ3、3との間の電気的干渉を除去する相互干渉除去フィルタを形成している。



【特許請求の範囲】

【請求項1】 単一のセラミック基板上にデジタルLSIチップおよびアナログLSIチップを搭載してなることを特徴とする半導体集積回路装置。

【請求項2】 単一のセラミック基板と、このセラミック基板上に搭載されたデジタルLSIチップと、

前記セラミック基板上に搭載されたアナログLSIチップと、

これらデジタルLSIチップとアナログLSIチップとの間の前記セラミック基板に形成された金属配線とを具備し、

前記セラミック基板と金属配線とによって前記デジタルLSIチップとアナログLSIチップとの間の電気的干渉を除去する相互干渉除去フィルタを形成してなることを特徴とする半導体集積回路装置。

【請求項3】 単一のセラミック基板と、このセラミック基板上に搭載されたデジタルLSIチップと、

前記セラミック基板上に搭載されたアナログLSIチップと、

前記デジタルLSIチップとアナログLSIチップとの間のデジタルLSIチップ側で、前記セラミック基板に設けられたデジタルグランドパッド間に形成されたデジタルグランド金属配線と、

前記デジタルLSIチップとアナログLSIチップとの間のアナログLSIチップ側で、前記セラミック基板に設けられたアナロググランドパッド間に形成されたアナロググランド金属配線と、

前記デジタルグランド金属配線とアナロググランド金属配線との間で、前記セラミック基板に設けられたデジタル電源パッド間に形成されたデジタル電源金属配線とを具備し、

前記セラミック基板とデジタルグランド金属配線、アナロググランド金属配線、およびデジタル電源金属配線によって前記デジタルLSIチップとアナログLSIチップとの間の電気的干渉を除去する相互干渉除去フィルタを形成してなることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マルチチップモジュール(MCM)形システムLSIと称される半導体集積回路装置に関する。

【0002】

【従来の技術】 最近、たとえばゲートアレイ(GA)や、シーオブゲート(SOG)にて実現されるデジタル回路のみならず、アナログ回路をも組込んだ混在LSIの実現に強い関心が寄せられている。しかし、このようなデジタル回路とアナログ回路とを单一のシリコン基板上に同時集積してカスタムLSIを実現しようとした場

合、回路が大形化し、歩留まりが低下するという問題がある。

【0003】 また、デジタル回路とアナログ回路との間でノイズなどの電気的干渉が大きな問題となるため、そのレイアウト設計に多大な時間と開発費を要し、開発設計を困難なものとしていた。

【0004】

【発明が解決しようとする課題】 上述したように、アナログ回路とデジタル回路とが混在したMCM形のLSIを開発するには、相当長い開発期間と多大な開発費を要し、開発設計を困難なものとしていた。特に、MOS系では、構造上、スイッチング動作時に貫通電流によるグランドバウンズの発生、また、デジタル回路の高速動作によりパルスの立上がり、立下り時に発生する高周波成分によるアナログ回路へのクロストークの発生などがあり、レイアウトの時間に多大な時間をかけていた。また、大規模LSI、特にRAM系LSIでは、大型、高集積化に伴う歩留まりの低下にも大きな問題があった。

【0005】 そこで、本発明は、デジタルLSIチップおよびアナログLSIチップを单一のセラミック基板上に混在させることができる半導体集積回路装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 第1の発明に係る半導体集積回路装置は、单一のセラミック基板上にデジタルLSIチップおよびアナログLSIチップを搭載してなることを特徴とする。

【0007】 第2の発明に係る半導体集積回路装置は、单一のセラミック基板と、このセラミック基板上に搭載されたデジタルLSIチップと、前記セラミック基板上に搭載されたアナログLSIチップと、これらデジタルLSIチップとアナログLSIチップとの間の前記セラミック基板に形成された金属配線とを具備し、前記セラミック基板と金属配線とによって前記デジタルLSIチップとアナログLSIチップとの間の電気的干渉を除去する相互干渉除去フィルタを形成してなることを特徴とする。

【0008】

【作用】 本発明によれば、デジタルLSIチップおよびアナログLSIチップを单一のセラミック基板上に搭載することにより、大規模LSI、すなわちMCMを構築しており、そして、このセラミック基板上にパッドを形成することにより、実装上は单一のLSIチップ扱いとすることができます。

【0009】 また、既に開発済みのLSIチップを接続部の変更のみでそのまま利用することも可能であり、大規模LSI、特にRAM系LSIでは歩留まり対策に充分なり得る。

【0010】 さらに、セラミック基板と金属配線とによって構成される相互干渉除去フィルタにより、セラミッ

ク基板上のデジタルLSIチップ領域とアナログLSIチップ領域とが電気的に分離され、ノイズカットフィルタの役目を果たしているので、各領域間の電気的干渉を未然に防ぐことが可能である。

【0011】

【実施例】以下、本発明の実施例について図面を参考して説明する。

【0012】図1は、第1実施例に係る半導体集積回路装置の構成を示すものである。図において、単一のセラミック基板1上には、たとえば、既にテストパッドへの探針により試験確認された1個のデジタルLSIチップ2が搭載されているとともに、このデジタルLSIチップ2の隣りに位置して、同じく既に試験確認された2個のアナログLSIチップ3、3が並べて搭載されていて、これらLSIチップ2、3の各端子(パッド)は、ハンダボール4などの接続手段によって後述する金属配線層7と電気的に接続されている。そして、セラミック基板1上の4辺には、信号および電源、グランドなどを接続するための多数のパッド5、…が形成されている。

【0013】また、セラミック基板1上には、複数の絶縁層6、…を介して複数の金属配線層7、…が形成されていて、これら金属配線層7、…は、LSIチップ2、3、3間の信号配線、パッド5、…への入出力配線、および電源系、グランド系配線などとして使用されている。この場合、特にデジタルグランド金属配線層8、デジタル電源金属配線層9、アナロググランド金属配線層10は、デジタルLSIチップ2とアナログLSIチップ3、3との間にその順番で並設されていて、それぞれ専用のパッド11A、11B、12A、12B、13A、13Bを保有している。

【0014】すなわち、デジタルグランド金属配線層8は、デジタルLSIチップ2側に形成されていて、デジタルグランドパッド11A、11B間に接続されている。アナロググランド金属配線層10は、アナログLSIチップ3、3側に形成されていて、アナロググランドパッド13A、13B間に接続されている。デジタル電源金属配線層9は、デジタルグランド金属配線層8とアナロググランド金属配線層10との間に形成されていて、デジタル電源パッド12A、12B間に接続されている。なお、デジタルグランド金属配線層8およびアナロググランド金属配線層10は、それぞれ独立した専用の金属配線であり、セラミック基板1内で電気的に接続されていない。

【0015】そして、このように形成された各金属配線層8、9、10は、セラミック基板1とともに相互干渉除去フィルタを形成している。すなわち、この相互干渉除去フィルタの等価回路を示すと図2のようになり、図中、Rはデジタル電源金属配線層9が有する抵抗、C1は金属配線層8、9間のセラミック基板1が有する容量、C2は金属配線層9、10間のセラミック基板1が

有する容量、E1はデジタル系の電源、E2はアナログ系の電源を示している。このような等価回路で表される相互干渉除去フィルタにより、デジタルLSIチップ2とアナログLSIチップ3との間を電気的に分離し、それらの間の電気的干渉を除去するようになっている。

【0016】なお、デジタルグランドパッド11Aからもう一方のデジタルグランドパッド11Bまでの各パッド5、…は、それぞれデジタル専用のパッドであり、また、アナロググランドパッド13Aからもう一方のアナロググランドパッド13Bまでの各パッド5、…は、それぞれアナログ専用のパッドである。

【0017】図3は、第2の実施例に係る半導体集積回路装置の構成を示すものである。この第2の実施例は、基本的には第1の実施例と同じであるが、搭載されるLSIチップにメモリ(RAM)LSIチップ2a、メモリ(ROM)LSIチップ2bを含んだ場合を示している。

【0018】図4は、第3の実施例に係る半導体集積回路装置の構成を示すものである。この第3の実施例は、基本的には第1、第2の実施例と同じであるが、搭載されるLSIチップにデジタル/アナログ混在LSIチップ14を含んだ場合を示している。

【0019】この第3の実施例では、デジタルグランドパッド11A、11B間に接続されたデジタルグランド金属配線層8は、混在LSIチップ14のデジタルグランドパッドとハンダボール4を介してセラミック基板1上で接続されている。また、アナロググランドパッド13A、13B間に接続されたアナロググランド金属配線層10も、同様に混在LSIチップ14のアナロググランドパッドとハンダボール4を介してセラミック基板1上で接続されている。なお、混在LSIチップ14は、その内部でアナログ回路部とデジタル回路部が分かれており、それぞれの端子(パッド)位置は前記したセラミック基板1上のパッド配置に関する考え方と同じとする。そして、混在LSIチップ14は、そのほぼ中央部が相互干渉除去フィルタを形成する各金属配線層8、9、10を覆う状態でセラミック基板1上に搭載されている。

【0020】以上説明したように上記実施例によれば、デジタルLSIチップ、アナログLSIチップ、およびアナログ/デジタル混在LSIチップなどを単一のセラミック基板上に搭載することにより、大規模LSI、すなわちMCMを構築しており、そして、このセラミック基板上に通常のLSIと同じようなパッドを形成することにより、実装上は単一のLSIチップ扱いとすることができます。

【0021】また、既に開発済みのLSIチップを接続部の変更のみでそのまま利用することも可能である。また、本実施例の如きチップ構成とすることにより、各領域の部分良品が得られるので、結果的に全体チップの良品が得られる。これらは、大規模LSI、特にRAM系

LSIで歩留まり対策に充分なり得る。

【0022】さらに、セラミック基板とデジタルグランド金属配線層、デジタル電源金属配線層、アナロググランド金属配線層とによって構成される相互干渉除去フィルタにより、セラミック基板上のデジタルLSIチップ領域とアナログLSIチップ領域とが電気的に分離され、ノイズカットフィルタの役目を果たしているので、各領域間の電気的干渉を未然に防ぐことが可能である。したがって、デジタルLSIチップ、アナログLSIチップ、およびアナログ/デジタル混在LSIチップを單一のセラミック基板上に混在させることができる。

【0023】なお、デジタルグランド金属配線層8、デジタル電源金属配線層9、アナロググランド金属配線層10は、図1に示すように、一番上の絶縁層6にのみ形成してもよいが、たとえば図5に示すように、複数の絶縁層6、…をそれぞれ貫通してセラミック基板1の表面まで達する状態に形成してもよい。なお、図5は、図1に対する変形例を示している。

【0024】

【発明の効果】以上詳述したように本発明によれば、デジタルLSIチップおよびアナログLSIチップを單一

のセラミック基板上に混在させることができる半導体集積回路装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る半導体集積回路装置を示すもので、(a)は平面図、(b)は縦断側面図。

【図2】相互干渉除去フィルタの等価回路図。

【図3】本発明の第2の実施例に係る半導体集積回路装置を示す平面図。

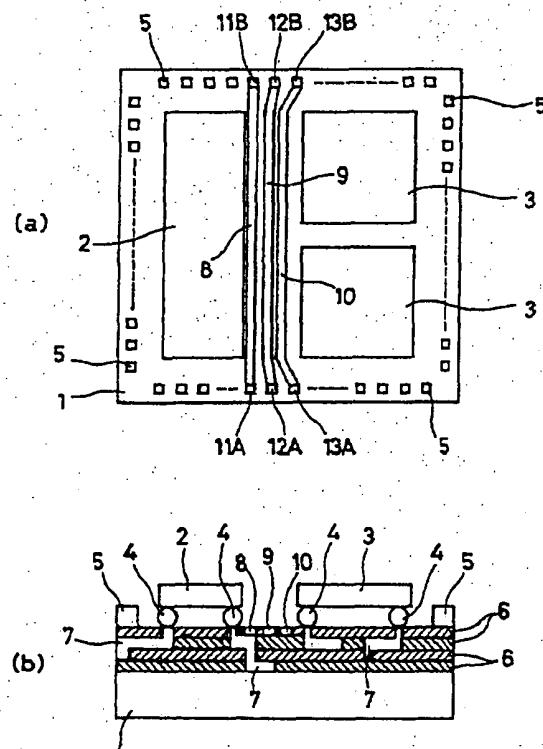
【図4】本発明の第3の実施例に係る半導体集積回路装置を示す平面図。

【図5】本発明の変形例を示す要部の縦断側面図。

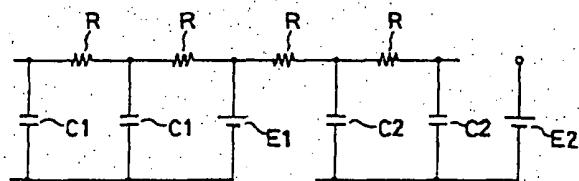
【符号の説明】

1……セラミック基板、2……デジタルLSIチップ、
2a, 2b……メモリLSIチップ、3……アナログLSIチップ、4……ハンダボール、5……パッド、6……絶縁層、7……金属配線層、8……デジタルグランド金属配線層、9……デジタル電源金属配線層、10……アナロググランド金属配線層、11A, 11B……デジタルグランドパッド、12A, 12B……デジタル電源パッド、13A, 13B……アナロググランドパッド、14……アナログ/デジタル混在LSIチップ。

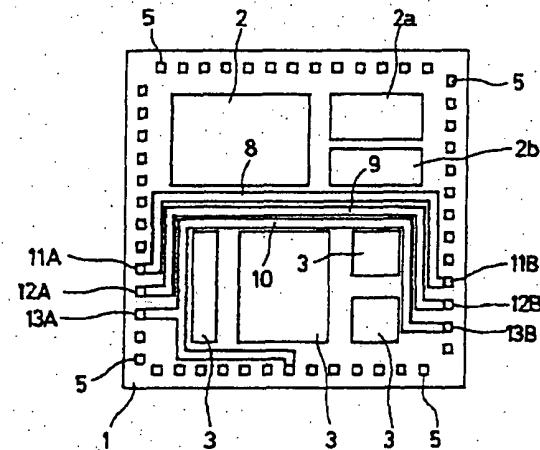
【図1】



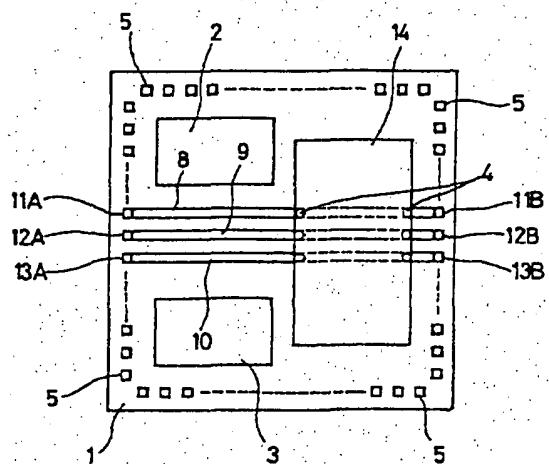
【図2】



【図3】



【図4】



【図5】

